



高集成度电源管理芯片----AXP233

User Manual

文档版本 V1.0

发布日期 2017-07-31

版权所有，违法必究。

非经本公司书面同意，任何单位或个人不得擅自摘抄、复制本文档内容的部分或全部，并不得以任何形式进行传播。任何单位或个人不得删除、修改或移除本文档版权及所有的权利声明。

本公司会不定期对本文档内容进行更新。除非另有说明，1) 本文档不构成任何明示或暗示的担保；2) 本公司不承担任何使用本文档产生的责任；3) 本文档不构成任何明示或暗示的权利授予。

使用者应该承担全部责任去获取实现本文档方案可能需要的第三方授权，本公司对这些第三方授权不承担任何明示或暗示的保证、费用补偿或其他责任。

修改历史

Revision	Date	Description
V1.0	2017.07.31	Initial release version

目录

声明.....	2
修改历史.....	3
目录.....	4
前言.....	5
1. 概述.....	6
2. 典型应用图.....	7
3. 设计要点.....	8
3.1 智能电源管理(IPS)的设计.....	8
3.2 Charger 的设计.....	8
3.3 内部供电源 (LDO) 的设计.....	9
3.4 DCDC/LDO 的设计.....	9
3.5 IO 口的设计.....	9
4. Layout Guideline.....	10
4.1 充放电部分.....	10
4.2 大电流通路.....	12
4.3 减小 VREF 的干扰.....	13
4.4 散热.....	13

概述

本文档主要介绍 AXP233 芯片的基本特点、电路设计要点以及 layout 指南。

产品

与本文档相关的产品: AXP233

读者对象

本文档主要适用于:

- 硬件开发工程师
- 软件开发工程师
- 技术支持工程师

1. 概述

AXP233 是 X-Powers 推出的高度集成的电源系统管理芯片，针对单芯锂电池且需要多路电源转换输出的应用，提供简单易用又可以灵活配置的完整电源解决方案。

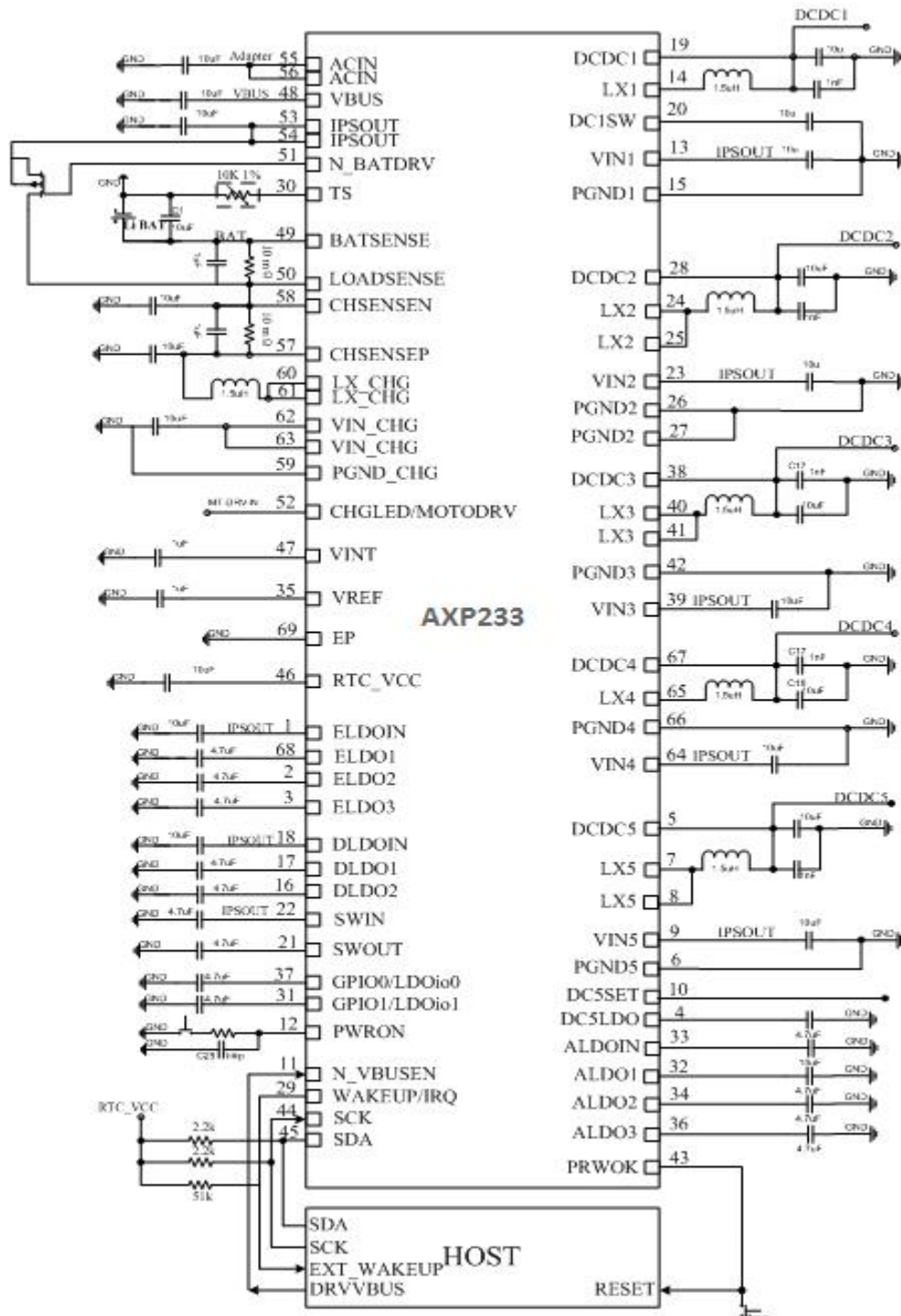
AXP233 集成了效率高达 94% 的 USB3.0-Compatible Flash Charger，充电电流可达 2.2A。芯片支持 20 路电源输出，其中包括 5 路大电流 DCDC，最高效率可达 95%。芯片包含电压、电流、温度等多路 12-bit ADC。为了保证电源系统安全稳定可靠的工作，AXP233 提供了高精度电量计系统和多重保护机制（包括欠压保护、过压保护、过温保护等）。

AXP233 提供了一个快速接口，让系统可以动态调节输出电压，并配合应用处理器系统实现多种工作模式的转换，最大限度的延长电池续航时间。

AXP233 的智能电源管理（Intelligent Power Select, IPS）电路可以智能地在输入电源和电池之间选择供电方式，满足系统需求的同时优化电能使用，提高电池寿命。

AXP233 支持 QFN 8*8，68pin，可以广泛应用于平板电脑、智能手机、智能电视、数字摄像机、超便携移动电脑、学习机等领域。

2. 典型应用图



294445PIN pull high to RTC_VCC;10 PIN IF Connect to VINT,DCDC5 OutPut Voltage is 1.35V;10 PIN IF Connect to GND,DCDC5 OutPut Voltage is 1.5V ;10 PIN is Floating,DCDC5 OutPut Voltage is 1.2V;

3. 设计要点

3.1 智能电源管理(IPS)的设计

1. 关于 IPS 的实现说明

AXP233 的电源输入可以来自锂电池 BAT、USB VBUS 输入、外部电源 ACIN (比如交流适配器 AC adapter), IPS 根据外部电源和锂电池的状态来选择适合的电能分配方式。若只使用 VBUS,可短接 ACIN/VBUS 以减小内阻。

- 当仅接入锂电池,无外部电源输入时,使用锂电池供电;
- 当接入外部电源时(VBUS 或 ACIN),优先使用外部电源供电;
- 电池连接的情况下,外部电源移除时,立刻“无缝”转用锂电池供电;
- 当 VBUS 和 ACIN 两者同时接入时,优先使用 ACIN 供电,并且对锂电池充电;
- 若此时 ACIN 驱动能力不足够时,将适时打开 VBUS 通路,实现 ACIN/VBUS 共同供电;
- 如果驱动能力仍然不足,则减小充电电流直至 0,继而用电池补充供电。

2. 关于外置 MOSFET 的选取

- 电池到 PS 的通路是大电流通路,外扩 PMOS 内阻 $<30\text{mohm}$,以减小通路损耗。
- MOS 过电流能力要大于设计值的 1.5 倍

3. 若是外部适配器作为 ACIN 的输入,需考虑适配器插入瞬间对电容充电产生的浪涌电压电流对系统的影响,建议在 ACIN 输入端加入防浪涌电路。

3.2 Charger 的设计

1. Charger 部分使用两个 10mohm 电阻进行电流检测及限流,要求精度至少 1%
2. 检流电阻并联的 $1\mu\text{F}$ 、 $10\mu\text{F}$ 电容不可省略,且在 layout 时必须靠近检流电阻
3. BATSENSE/LOADSENSE、CHGSENSE/CHGSENSE 走差分线,防止被干扰
4. TS pin 用于检测电池温度,建议采用 10K NTC 电阻,如不使用则将 TS 连接到地。
5. CHGLED 用于充电状态指示,将指示灯及限流电阻连接到该 pin 与 PS 之间即可。如不使用指示功能,将该 pin 悬空即可
6. 电感饱和电流要大于设定的充电电流的 1.5 倍

3.3 内部供电电源 (LDO) 的设计

1. VCC_RTC , VINT 是内部供电电源 , 需外接 1uF 电容到 GND , 电容需靠近引脚摆放 , 其接地点远离 DCDC , 防止干扰。驱动能力很小 , 不推荐给外部供电。
2. VREF 是 AXP233 产生的高精度参考电压 , 需外接 1uF 电容到 GND , 确保各路输出电压精度。电容需靠近引脚摆放 , 其接地点远离 DCDC , 防止干扰。

3.4 DCDC/LDO 的设计

1. ALDO 输出电容不小于 10uF ; DLDO/ELDO 输出电容不小于 4.7uF
2. 对于不使用的 LDO , 使其输出 pin 悬空即可 , 不需接电容
3. 各 DCDC 使用 1.5uH 电感 , 饱和电流大于负载电流的 30%以上 , 内阻不超过 30mohm
4. 各 DCDC 输入输出电容不小于 10uF
5. layout 布局 : DCDC 电感靠近 PMU , 输出电容靠近电感 , 输入电容靠近 PMU 的输入管脚
6. 对不使用的 DCDC , 必须将输入 pin 连接到 PS , PGND 连接到地 , LX 与反馈电压 pin 悬空即可

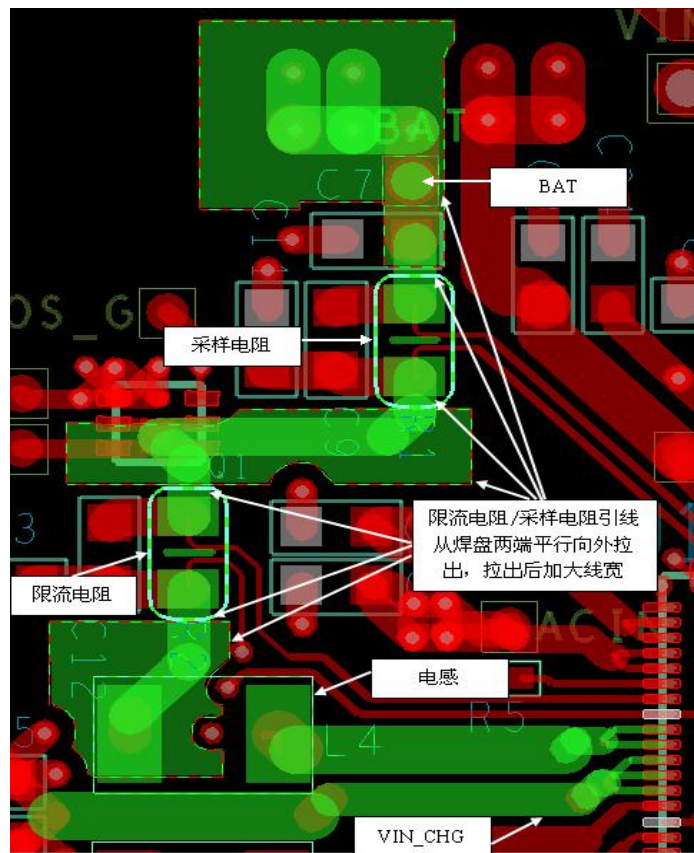
3.5 IO 口的设计

1. PWRON 按键与 pin 之间需使用 RC (1K+100nF)
2. 若系统需要 RESET 按键 , 可将按键连接在 PWROK pin 与地之间
3. I2C
 - SDA/SCK 需外接上拉电阻到上拉源 , 如 VCC_RTC
 - 若 I2C 挂的设备大于等于 2 个时 , 建议上拉电阻选用 2.2Kohm
4. IRQ pin 需外接 10K 上拉电阻到上拉源 , 如 VCC_RTC

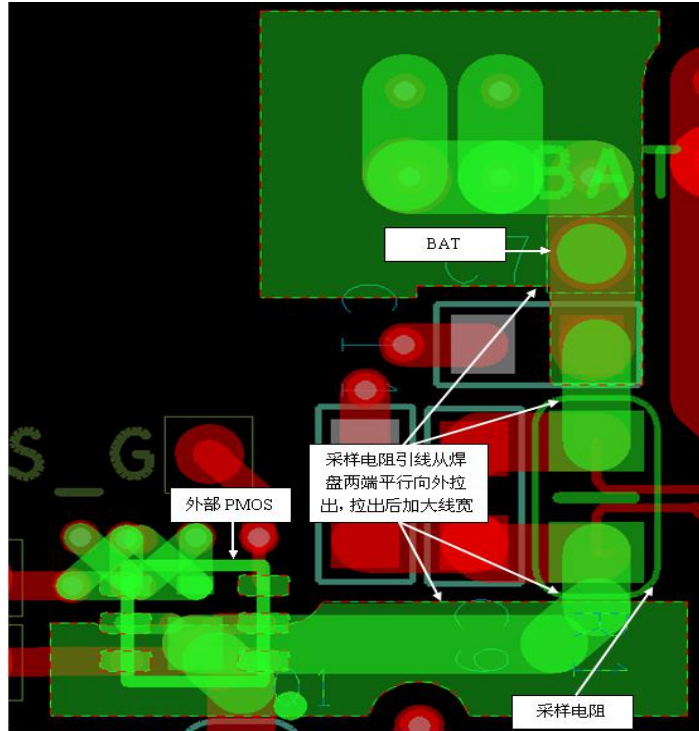
4. Layout Guideline

4.1 充放电部分

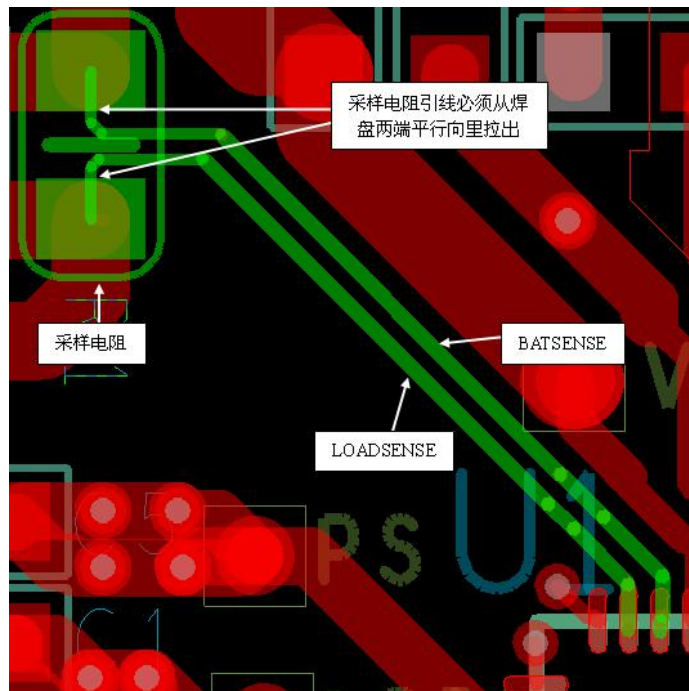
1. BAT 充电路径为 PS->VIN_CHG->LX_CHG->电感->限流电阻->采样电阻->BAT，走线线宽 $\geq 120\text{mil}$ ；限流电阻/采样电阻的引线必须从焊盘两端平行向外拉出，先用 40mil 从电阻焊盘引出，之后再加大线宽到 $>120\text{mil}$ ；而且保证电池尽量靠近 PMU，如下图所示。

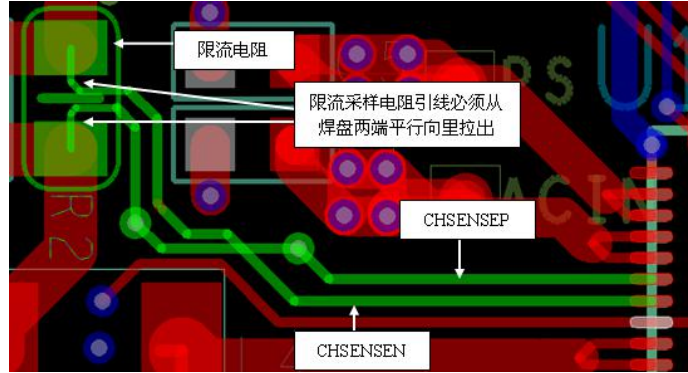


2. BAT 放电路径为 VBT->采样电阻->外部 PMOS->PS，走线线宽 $\geq 120\text{mil}$ ；采样电阻的引线必须从焊盘两端平行向外拉出；先用 40mil 从电阻焊盘引出，之后再加大线宽到 $>120\text{mil}$ ；如下图所示。

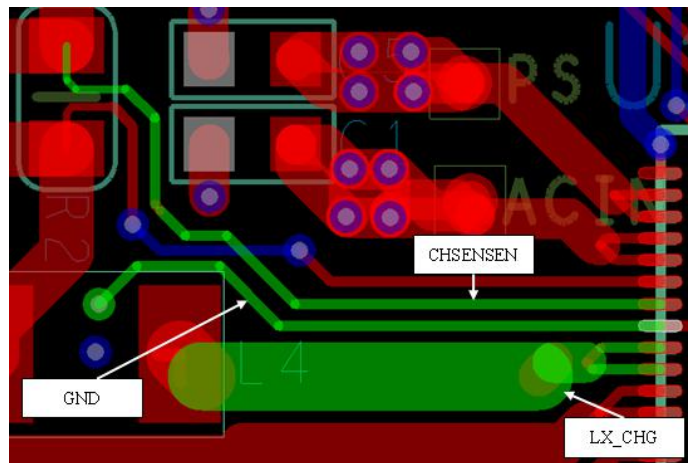


3. BATSENSE、LOADSENSE 与采样电阻间的走线采用 8-10mil，CHSENSE、CHSENSEP 与限流电阻间的走线采用 8-10mil；采样电阻/限流电阻的引线必须从焊盘两端平行向里拉出，线宽可设为 6mil，拉出之后设为 8-10mil，如下图所示。





4. CHSENSEN 要避免受到 LX_CHG 干扰，可通过地线作隔离,如下图所示。



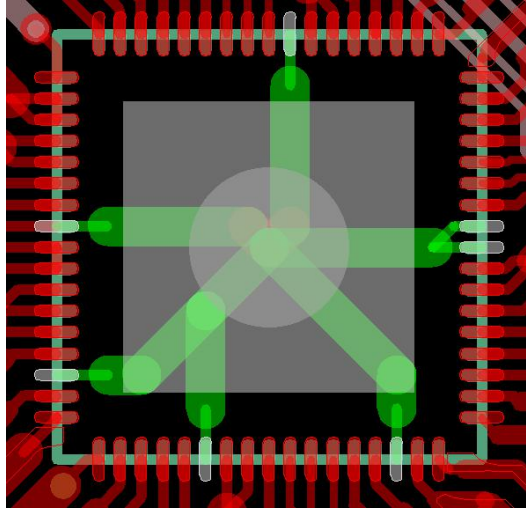
5. 采样电阻和限流电阻的滤波电容尽量靠近电阻放置。

4.2 大电流通路

电源输入、输出等大电流通路需加大线宽，以减小走线阻抗，减小走线造成的压降和损耗。具体来说：

1. VBUS、ACIN 的线宽>150mil；
2. VDD-GPU、VDD-CPU、VDD-SYS、VDD-CPUS 的线宽>=120mil；
3. PS、VCC-3V3、VCC-DRAM 的线宽>=80mil；
4. DCDC 输入输出线宽>100mil；特别注意 pin21 (SWOUT) /22 (SWIN) 的走线也需要走大电流，线宽>=30mil
5. DCDC1 反馈线需要为 DC1SW 供电，线宽>=50mil；

6. DCDC5 反馈线需要为 DC5LDO 供电，线宽 $\geq 30\text{mil}$ ；
7. LDO 输入线宽 $\geq 80\text{mil}$ ，输出线宽根据负载电流决定；
8. 电池放置位置尽量靠近电池连接点，尽量减小连接线的长度，并使用较粗的连接线，以减小连接线内阻和压降；
9. 地线连接到 PMU 底部的 PAD 时，可用较细线从 Pin 脚引出，然后再改成粗线，如下图：



4.3 减小 VREF 的干扰

VREF 是 PMU 的参考基准，需要减小 DCDC 和 charger 等对 VREF 的影响。

1. VREF 的电容要尽量靠近 Pin 脚，接地点尽量远离 DCDC，避免干扰；
2. DCDC 和 charger 的输入端 VIN1-5 和 VIN_CHG 的输入滤波电容应尽量靠近输入 Pin 脚；
3. 为了避免 DCDC 对 VREF 的影响，应将地层紧邻摆放 PMU 器件的层摆放，如 PMU 及电感器件放在顶层，则地层应该放在第二层，利用地层屏蔽 DCDC 工作时对 VREF 的干扰。

4.4 散热

PMU 底层地平面处理，给底层尽量完整的地平面，更有效的解决散热问题。如果条件允许的情况下，面积至少预留 $10*10\text{mm}^2$ 。同时底部的 PAD 需要和地平面以全连接的方式铺铜。